

2823

PTO/SB/21 (05-03)

Approved for use through 04/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Application Number	09/943,843
Filing Date	August 30, 2001
First Named Inventor	Iwasaki, Tomio
Art Unit	2823
Examiner Name	George R. Fourson III
Attorney Docket Number	16869S-033100US

Total Number of Pages in This Submission

ENCLOSURES (Check all that apply)

- | | | |
|---|--|--|
| <input type="checkbox"/> Fee Transmittal Form
<input type="checkbox"/> Fee Attached
<input checked="" type="checkbox"/> Amendment/Reply
<input type="checkbox"/> After Final
<input type="checkbox"/> Affidavits/declaration(s)
<input type="checkbox"/> Extension of Time Request
<input type="checkbox"/> Express Abandonment Request
<input type="checkbox"/> Information Disclosure Statement
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)
<input type="checkbox"/> Response to Missing Parts/Incomplete Application
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53 | <input type="checkbox"/> Drawing(s)
<input type="checkbox"/> Licensing-related Papers
<input type="checkbox"/> Petition
<input type="checkbox"/> Petition to Convert to a Provisional Application
<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address
<input type="checkbox"/> Terminal Disclaimer
<input type="checkbox"/> Request for Refund
<input type="checkbox"/> CD, Number of CD(s) | <input type="checkbox"/> After Allowance Communication to Group
<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Status Letter
<input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
Return Postcard |
|---|--|--|

Remarks

The Commissioner is authorized to charge any additional fees to Deposit Account 20-1430.

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual	Townsend and Townsend and Crew LLP	
	Steve Y. Cho	Reg. No. 44,612
Signature		
Date	6/26/03	

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name	Andrea S. Beck		
Signature		Date	6/26/03

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月16日

出 願 番 号

Application Number:

特願2001-008301

出 願 人

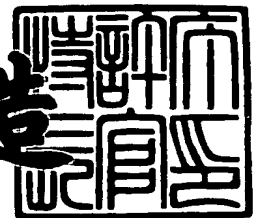
Applicant(s):

株式会社日立製作所

2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3077450

【書類名】 特許願
【整理番号】 JP3397
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地
株式会社 日立製作所 機械研究所内

【氏名】 岩▲崎▼ 富生

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地
株式会社 日立製作所 機械研究所内

【氏名】 三浦 英生

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号
株式会社 日立製作所 半導体グループ内

【氏名】 太田 裕之

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地
株式会社 日立製作所 機械研究所内

【氏名】 守谷 浩志

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100077816

【弁理士】

【氏名又は名称】 春日 譲

【手数料の表示】

【予納台帳番号】 009209

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板と、

上記半導体基板の一主面側に形成され、酸化チタンを主構成材料とするゲート絶縁膜と、

上記ゲート絶縁膜に接触して形成され、主構成材料が酸化ルテニウムまたは酸化イリジウムであるゲート電極膜と、

を備えることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、上記ゲート絶縁膜及び上記導電性酸化膜は、0.9 nm 以上の膜厚を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 記載の半導体装置において、上記酸化チタンはルチル構造の結晶であることを特徴とする半導体装置。

【請求項 4】

半導体基板と、

上記半導体基板の一主面側に形成され、酸化チタンを主構成材料とするゲート絶縁膜と、

上記ゲート絶縁膜に接触して形成され、酸化ルテニウムまたは酸化イリジウムを主構成材料とする導電性酸化膜と金属とを主構成材料とする導電性膜の積層膜であるゲート電極膜と、

を備えることを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、上記ゲート絶縁膜及び上記導電性酸化膜は 0.9 nm 以上の膜厚を有することを特徴とする半導体装置。

【請求項 6】

請求項 4 又は 5 記載の半導体装置において、上記酸化チタンはルチル構造の結

晶であることを特徴とする半導体装置。

【請求項 7】

請求項 4、5 又は 6 のうちのいずれか一項記載の半導体装置において、上記金属はルテニウムまたはイリジウムであることを特徴とする半導体装置。

【請求項 8】

半導体基板と、

上記半導体基板の一主面側に形成され、酸化チタンを主構成材料とするゲート絶縁膜と、

上記ゲート絶縁膜に接触して形成され、酸化ルテニウム又は酸化イリジウムを主構成材料とする導電性酸化膜と金属を主構成材料とする導電性膜との積層膜であるゲート電極膜と、

上記半導体基板の一主面側に形成された第一容量電極と、

上記第一容量電極に接するように形成された高誘電率または強誘電性を有する容量絶縁膜と、

上記容量絶縁膜に接するように形成された第二容量電極と、

を備えることを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、絶縁膜及び上記導電性酸化膜は 0.9 nm 以上の膜厚を有することを特徴とする半導体装置。

【請求項 10】

請求項 8 記載の半導体装置において、上記酸化チタンはルチル構造の結晶であることを特徴とする半導体装置。

【請求項 11】

請求項 8 の半導体装置において、上記金属はルテニウムまたはイリジウムであることを特徴とする半導体装置。

【請求項 12】

半導体基板と、

上記半導体基板の一主面側に形成され、酸化チタン及びチタンシリケートを主構成材料とする第一ゲート絶縁膜、及び酸化チタンを主構成材料とする第二ゲ-

ト絶縁膜を有するゲート絶縁膜と、

上記ゲート絶縁膜に接触して形成され、主構成材料が酸化ルテニウムまたは酸化イリジウムであるゲート電極膜と、

を備えることを特徴とする半導体装置。

【請求項 1 3】

半導体基板と、

上記半導体基板の一主面側に形成され、酸化チタン及びチタンシリケートを主構成材料とする第一ゲート絶縁膜、及び酸化チタンを主構成材料とする第二ゲート絶縁膜とを有するゲート絶縁膜と、

上記ゲート絶縁膜に接触して形成され、主構成材料が酸化ルテニウムまたは酸化イリジウムである第一のゲート電極膜、及びルテニウム、イリジウム、白金、タングステン又はモリブデンのうちの一材料を主構成材料とする第二のゲート電極膜を有するゲート電極と、

を備えることを特徴とする半導体装置。

【請求項 1 4】

半導体装置の製造方法において、

半導体基板の一主面側に、酸化チタンを主構成材料とするゲート絶縁膜を形成する工程と、

上記ゲート絶縁膜上に、ルテニウムまたはイリジウムを主構成材料とする導電性膜を成膜し、ゲート電極膜を形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項 1 5】

半導体装置の製造方法において、

半導体基板の一主面側に、酸化チタンを主構成材料とするゲート絶縁膜を形成する工程と、

上記ゲート絶縁膜上に、ルテニウムまたはイリジウムを主構成材料とする導電性膜を成膜し、ゲート電極膜を形成する工程と、

第一容量電極を形成する工程と、

上記第一容量電極に接する高誘電率または強誘電性を有する容量絶縁膜を形成

する工程と、

上記容量絶縁膜に接する第二容量電極を形成する工程と、
を備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来技術】

近年、半導体装置の微細化にともない、トランジスタにおけるゲートの長さが0.15 μm 、ゲート絶縁膜の膜厚は、 SiO_2 を用いた場合で、2 nm以下にまで薄くすることが要求されている。

【0003】

ゲート絶縁膜の厚さが、これ程まで薄くなると、トンネル電流が無視できないほど大きくなる。

【0004】

このため、 SiO_2 より誘電率の高い絶縁体材料を用いることにより、誘電特性を保ちつつ、物理的膜厚を厚くすることが考えられている。

高誘電率材料の候補としては、例えば、“the 1999 International Conference on Solid State Devices and Materials”の講演予稿集（164ページ～165ページ）に記述されているように、酸化チタンが検討されている。

【0005】

【発明が解決しようとする課題】

しかし、上記従来技術において、実際に酸化チタンをゲート絶縁膜として用いて半導体デバイスを形成すると、酸化チタン中をリーク電流が流れてしまう場合があり、これでは、半導体装置の信頼性を低下してしまうこととなる。

【0006】

このため、誘電特性を保ちつつ、物理的膜厚を厚くし、リーク電流の発生が防止された半導体装置の実現化が望まれていた。

【 0 0 0 7 】

本発明の目的は、誘電特性を保ちつつ、物理的膜厚を厚くし、リーク電流の発生が防止された半導体装置及びその製造方法を実現することである。

【 0 0 0 8 】

【課題を解決するための手段】

本願の発明者らは、半導体装置におけるリーク電流の原因を解明するため研究を行い、製造プロセスでの熱処理を受けた際に例えば多結晶シリコンからなるゲート電極のシリコン元素が酸化チタン膜に拡散して入りこんでしまうことが大きな原因の一つであることを見出した。

【 0 0 0 9 】

また、この拡散は、熱処理の温度が高いほど起こりやすいので、ロジック L S I 装置でも見られる現象ではあるが、熱処理温度のより高い、高誘電率または強誘電性を有する容量絶縁膜を用いたメモリ製品においてより顕著に見られることを見出した。

【 0 0 1 0 】

さらに、本願発明者らは、ゲート絶縁膜である酸化チタンにゲート電極から導電性元素が拡散して入り込まないようにする手段を得るために鋭意研究を行った結果、酸化チタンに接触するゲート電極材料として酸化ルテニウムまたは酸化イリジウムを用いることが有効であることを見出した。

【 0 0 1 1 】

なお、ここでは、シリコン元素および金属元素を、導電性元素と呼ぶ。

【 0 0 1 2 】

上記目的を達成するため、本発明は次のように構成される。

(1) 半導体装置において、半導体基板と、上記半導体基板の一主面側に形成され、酸化チタンを主構成材料とするゲート絶縁膜と、上記ゲート絶縁膜に接触して形成され、主構成材料が酸化ルテニウムまたは酸化イリジウムであるゲート電極膜とを備える。

【 0 0 1 3 】

(2) 好ましくは、(1)において、上記ゲート絶縁膜及び上記導電性酸化膜

は、0.9 nm以上の膜厚を有する。

【0014】

(3) また、好ましくは、上記(1)又は(2)において、上記酸化チタンはルチル構造の結晶である。

【0015】

(4) 半導体装置において、半導体基板と、上記半導体基板の一主面側に形成され、酸化チタンを主構成材料とするゲート絶縁膜と、上記ゲート絶縁膜に接触して形成され、酸化ルテニウムまたは酸化イリジウムを主構成材料とする導電性酸化膜と金属とを主構成材料とする導電性膜の積層膜であるゲート電極膜とを備える。

【0016】

(5) また、好ましくは、上記(4)において、上記ゲート絶縁膜及び上記導電性酸化膜は0.9 nm以上の膜厚を有する。

【0017】

(6) また、好ましくは、上記(4)又は(5)において、上記酸化チタンはルチル構造の結晶である。

【0018】

(7) また、好ましくは、上記(4)、(5)又は(6)において、上記金属はルテニウムまたはイリジウムである。

【0019】

(8) 半導体装置において、半導体基板と、上記半導体基板の一主面側に形成され、酸化チタンを主構成材料とするゲート絶縁膜と、上記ゲート絶縁膜に接触して形成され、酸化ルテニウム又は酸化イリジウムを主構成材料とする導電性酸化膜と金属を主構成材料とする導電性膜との積層膜であるゲート電極膜と、上記半導体基板の一主面側に形成された第一容量電極と、上記第一容量電極に接するように形成された高誘電率または強誘電性を有する容量絶縁膜と、上記容量絶縁膜に接するように形成された第二容量電極とを備える。

【0020】

(9) 好ましくは、上記(8)において、絶縁膜及び上記導電性酸化膜は0.

9 n m以上の膜厚を有する。

【 0 0 2 1 】

(1 0) また、好ましくは、上記 (8) において、上記酸化チタンはルチル構造の結晶である。

【 0 0 2 2 】

(1 1) また、好ましくは、上記 (8) において、上記金属はルテニウムまたはイリジウムである。

【 0 0 2 3 】

(1 2) 半導体装置において、半導体基板と、上記半導体基板の一主面側に形成され、酸化チタン及びチタンシリケートを主構成材料とする第一ゲート絶縁膜、及び酸化チタンを主構成材料とする第二ゲート絶縁膜を有するゲート絶縁膜と、上記ゲート絶縁膜に接触して形成され、主構成材料が酸化ルテニウムまたは酸化イリジウムであるゲート電極膜とを備える。

【 0 0 2 4 】

(1 3) 半導体装置において、半導体基板と、上記半導体基板の一主面側に形成され、酸化チタン及びチタンシリケートを主構成材料とする第一ゲート絶縁膜、及び酸化チタンを主構成材料とする第二ゲート絶縁膜とを有するゲート絶縁膜と、上記ゲート絶縁膜に接触して形成され、主構成材料が酸化ルテニウムまたは酸化イリジウムである第一のゲート電極膜、及びルテニウム、イリジウム、白金、タングステン又はモリブデンのうちの一材料を主構成材料とする第二のゲート電極膜を有するゲート電極とを備える。

【 0 0 2 5 】

(1 4) 半導体装置の製造方法において、半導体基板の一主面側に、酸化チタンを主構成材料とするゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上に、ルテニウムまたはイリジウムを主構成材料とする導電性膜を成膜し、ゲート電極膜を形成する工程とを備える。

【 0 0 2 6 】

(1 5) 半導体装置の製造方法において、半導体基板の一主面側に、酸化チタンを主構成材料とするゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上に、

ルテニウムまたはイリジウムを主構成材料とする導電性膜を成膜し、ゲート電極膜を形成する工程と、第一容量電極を形成する工程と、上記第一容量電極に接する高誘電率または強誘電性を有する容量絶縁膜を形成する工程と、上記容量絶縁膜に接する第二容量電極を形成する工程とを備える。

【 0 0 2 7 】

【発明の実施の形態】

以下、本発明の実施の形態を添付図を参照して詳細に説明する。

図 1 は、本発明の第 1 の実施形態である半導体装置における主要部分の概略断面構造である。

【 0 0 2 8 】

図 1 において、本発明の第 1 の実施形態である半導体装置は、シリコン基板 1 の上に拡散層 2、3、4、5 が形成され、この上にゲート絶縁膜 6、7 およびゲート電極 8、9 が形成されることによって MOS トランジスタが構成されている。

【 0 0 2 9 】

ゲート絶縁膜 6、7 には、微細化・高機能化の要求を満たすために、主構成材料として酸化チタンが用いられる。このゲート絶縁膜 6、7 は、例えば化学気相蒸着法、スパッタ法等を用いて形成される。

【 0 0 3 0 】

また、ゲート電極 8、9 の主構成材料としては、熱処理の際にゲート絶縁膜 6、7 に導電性元素が拡散して入りにくい材料として、酸化ルテニウムまたは酸化イリジウムが用いられる。

【 0 0 3 1 】

なお、主構成材料とは、その部材の構成材料のうちの 5 0 % 以上を占める材料であることを定義する。

【 0 0 3 2 】

これらゲート電極 8、9 は、例えば、化学気相蒸着法、スパッタ法等を用いて形成される。これらの MOS トランジスタは、例えば、シリコン酸化膜からなる素子分離膜 1 0 によって分離されている。

【 0 0 3 3 】

また、ゲート電極 8、9 の上面および側壁面には、例えば、シリコン酸化膜からなる絶縁膜 1 1、1 2 が形成されている。MOS トランジスタの上部全面には、例えば、BPSG (Boron-Doped Phospho Silicate Glass) 膜や SOG (Spin On Glass) 膜、あるいは化学気相蒸着法やスパッタ法で形成したシリコン酸化膜や窒化膜等からなる絶縁膜 1 3 が形成されている。

【 0 0 3 4 】

絶縁膜 1 3 に形成されたコンタクトホールには拡散防止用の隣接導電体膜 (第一導電体膜) 1 4 a、1 4 b に被覆された主導電体膜 1 5 からなるプラグが形成され、拡散層 2、3、4、5 に接続されている。

【 0 0 3 5 】

この主導電体膜 1 5 からなるプラグを通じて、拡散防止用の隣接導電体膜 1 6 a、1 6 b に被覆された主導電体膜 1 7 からなる第一積層配線が、拡散層 2、3、4、5 に接続されている。この第一積層配線は、例えば、隣接導電体膜 1 6 a をスパッタ法等により成膜した後、主導電体膜 1 7 をスパッタ法等により形成し、この上に隣接導電体膜 1 6 b をスパッタ法等により形成してから、エッチングによって配線パターンをつくることにより得られる。

【 0 0 3 6 】

第一積層配線の上には、絶縁膜 2 1 に形成されたコンタクトホールに隣接導電体膜 1 9 に被覆された主導電体膜 2 0 からなるプラグが形成され、第一積層配線に接続されている。

【 0 0 3 7 】

この主導電体膜 2 0 からなるプラグを通じて、隣接導電体膜 2 2 a、2 2 b に被覆された主導電体膜 2 3 からなる第二積層配線が、第一積層配線に接続されている。

【 0 0 3 8 】

この主導電体膜 2 3 からなる第二積層配線は、例えば、隣接導電体膜 2 2 a をスパッタ法等により成膜した後、主導電体膜 2 3 をスパッタ法等により形成し、この上に隣接導電体膜 2 2 b をスパッタ法等により形成してから、エッチング等によって配線パターンをつくることにより得られる。

【 0 0 3 9 】

本発明の第 1 の実施形態においては、ゲート電極 8、9 の主構成材料として、酸化チタンへの拡散が起こりにくい酸化ルテニウムまたは酸化イリジウムを用いており、これによって、熱処理の際にゲート絶縁膜 6、7 に元素が拡散して入ることによるリーク電流を抑制できる。

【 0 0 4 0 】

酸化チタンへの元素拡散について、従来からゲート絶縁膜材料として検討されてきた多結晶シリコン、タングステン、タングステンシリサイド、モリブデン、モリブデンシリサイド、チタン、窒化チタンと、本発明の第 1 の実施形態で使用した酸化ルテニウム、酸化イリジウムを比較することによって、本発明の第 1 の実施形態により得られる効果を以下に説明する。

【 0 0 4 1 】

本発明の第 1 の実施形態の効果を詳しく説明するために、分子動力学シミュレーションによる解析例を示す。

【 0 0 4 2 】

ここで、分子動力学シミュレーションとは、例えば、ジャーナルオブアプライドフィジックス(Journal of Applied Physics)の第 5 4 巻(1 9 8 3 年発行)の 4 8 6 4 ページから 4 8 7 8 ページまでに記述されているように、原子間ポテンシャルを通して各原子に働く力を計算し、この力を基にニュートンの運動方程式を解くことによって各時刻における各原子の位置を算出する方法である。

【 0 0 4 3 】

なお、本発明の第 1 の実施形態では、上記の分子動力学法に電荷移動を取り入れて異種元素間の相互作用を計算することにより、以下の関係を求めることができた。

【 0 0 4 4 】

本発明の第 1 の実施形態の主な効果は、ゲート電極からゲート絶縁膜への元素の拡散が抑制されることである。

【 0 0 4 5 】

そこで、ゲート絶縁膜へ拡散する導電性元素の拡散係数を計算し、これを比較す

ることによって本発明の第 1 の実施形態の効果を解析できる。

【 0 0 4 6 】

分子動力学シミュレーションにより拡散係数を計算する方法は、例えばフィジカルレビュー B (Physical Review B) の第 2 9 巻 (1 9 8 4 年発行) の 5 3 6 3 ページから 5 3 7 1 ページまでに記述されている。

【 0 0 4 7 】

はじめに、3 nm の膜厚を有するゲート電極膜と 3 nm の膜厚を有するゲート絶縁膜が積層された構造を用いた場合の計算例を用いて、本発明の第 1 の実施形態の効果を示す。

【 0 0 4 8 】

ゲート絶縁膜としてはルチル構造またはアナターゼ構造の酸化チタン膜を用い、ゲート電極材料としては、従来からゲート絶縁膜材料として検討されてきた多結晶シリコン、タングステン、タングステンシリサイド、モリブデン、モリブデンシリサイド、チタン、窒化チタンと、本発明の第 1 の実施形態で使用した酸化ルテニウム、酸化イリジウムを用いた。

【 0 0 4 9 】

図 2 は、3 0 0 °C において、ゲート電極の元素がルチル構造の酸化チタン膜へ拡散する際の、元素の拡散係数を計算した結果を示すグラフである。

また、図 3 は、6 0 0 °C における拡散係数を計算した結果を示すグラフである。

【 0 0 5 0 】

これら図 2 及び図 3 より、3 0 0 °C の場合も、6 0 0 °C の場合も、酸化ルテニウムまたは酸化イリジウムをゲート電極として用いた場合には、他に比べて小さな拡散係数を示すことがわかる。

【 0 0 5 1 】

すなわち、酸化ルテニウムまたは酸化イリジウムをゲート電極として用いた場合には、ゲート絶縁膜にゲート電極の元素が入りにくく、信頼性が高いといえる。

【 0 0 5 2 】

図 2 及び図 3 に示した例は、ルチル構造の酸化チタンを用いた計算結果であったが、アナターゼ構造を持つ酸化チタンを用いた場合の拡散係数の計算結果は、図

4、図5に示す通りである。

【0053】

図4、図5は、それぞれ300℃、600℃の場合の計算結果を示すグラフである。これら、アナターゼ構造を持つ酸化チタンを用いた場合も、図2、図3に示した場合と同様に、酸化ルテニウムまたは酸化イリジウムをゲート電極として用いた場合は、他と比べて小さな拡散係数を示す。

【0054】

ここで、図2、図3に示した計算結果と、図4、図5に示した計算結果とを比較すると、ルチル構造を用いた場合の拡散係数のほうがアナターゼ構造の場合よりも小さいことがわかる。

【0055】

したがって、ルチル構造の酸化チタンをゲート絶縁膜として用い、酸化ルテニウムまたは酸化イリジウムをゲート電極として用いることがより好ましい。

【0056】

ルチル構造の酸化チタンは、例えば、“IBM Journal of Research and Development”の第43巻第3号（1999年5月発行）の383ページから391ページまでに記載されているように、高温で成膜するか、あるいは低温で成膜した後で熱処理を施すといった方法により形成する。

【0057】

図2、図3、図4、図5に示した例は、ゲート絶縁膜およびゲート電極膜の膜厚を3nmとした場合の計算結果であったが、拡散係数の膜厚への依存性を調べるために、これらの膜厚を変えて調べた結果を以下に示す。

【0058】

図6及び図7は、ゲート絶縁膜とゲート電極膜の膜厚をともに0.9nmとした場合の300℃での計算結果を示すグラフであって、図6は、ルチル構造とした場合を示し、図7はアナターゼ構造とした場合を示す。

【0059】

図6と図7より、膜厚が0.9nmにまで薄くなっても、膜厚が3nmの場合と同様に、酸化ルテニウムと酸化イリジウムに対する拡散係数が他に比べて顕著に

小さいことがわかる。

【0060】

図示はしないが、600℃の場合にも、酸化ルテニウムと酸化イリジウムに対する拡散係数が他に比べて顕著に小さいという結果が得られた。

【0061】

これに対して、図8は、ゲート絶縁膜の膜厚を0.9nmとしたまま、ゲート電極膜の膜厚を0.8nmとした場合の、300℃でのルチル構造の計算結果を示すグラフである。

【0062】

この図8に示す場合には、図6や図7に示した場合と比較して、酸化ルテニウムと酸化イリジウムの拡散係数が著しく大きくなっており、本発明の第1の実施形態の効果が弱くなっていることがわかる。

【0063】

したがって、酸化ルテニウムまたは酸化イリジウムの膜厚は、0.9nm以上であることがより好ましい。

【0064】

次に、図9は、ゲート電極膜の膜厚を0.9nmとしたまま、ゲート絶縁膜の膜厚を0.8nmとした場合の、300℃でのルチル構造の計算結果を示すグラフである。この図9に示す場合にも、図6や図7に示した例と比較して、酸化ルテニウムと酸化イリジウムの拡散係数が著しく大きくなっており、本発明の第1の実施形態の効果が弱くなっていることがわかる。

【0065】

したがって、酸化チタンの膜厚も0.9nm以上であることがより好ましい。図8と図9に示した例は、ルチル構造に対する結果であったが、アナターゼ構造についても同様に、膜厚が0.9nm以上であることがより好ましいという結果が得られた。0.8nm以下の膜厚で効果が弱くなるのは、酸化ルテニウム、酸化イリジウム、酸化チタンの結晶構造がやや不安定になるためである。

【0066】

以上のように、本発明の第1の実施形態によれば、ゲート電極8、9の主構成材

料として、酸化チタンへの拡散が起こりにくい酸化ルテニウムまたは酸化イリジウムを用いて構成したので、誘電特性を保ちつつ、物理的膜厚を厚くし、リーク電流の発生が防止された半導体装置を実現することができる。

【 0 0 6 7 】

次に、本発明の第 2 の実施形態である半導体装置を説明する。

図 1 0 は、本発明の第 2 の実施形態である半導体装置の主要部分の断面構造図である。

【 0 0 6 8 】

この第 2 実施形態と第 1 の実施形態との主な違いは、第 2 の実施形態においては、ゲート絶縁膜が第一ゲート絶縁膜 6 a、7 a と第二ゲート絶縁膜 6 b、7 b とからなる二層構造となっている点である。

【 0 0 6 9 】

第二ゲート絶縁膜 6 b、7 b には、微細化・高機能化の要求を満たすために、主構成材料として酸化チタンが用いられる。第一ゲート絶縁膜 6 a、7 a には、例えば酸化シリコンやチタンシリケートを主構成材料とする膜が用いられる。

これによって、第二ゲート絶縁膜 6 b、7 b の熱的安定性を向上させる効果が得られる。

【 0 0 7 0 】

以上のように、本発明の第 2 の実施形態によれば、第 1 の実施形態と同様な効果を得ることができる他、第二ゲート絶縁膜 6 b、7 b の熱的安定性を向上させる効果が得られる。

【 0 0 7 1 】

なお、図示はしないが、ゲート絶縁膜が三層以上の構造を持ってもよい。

図 1 1 は、本発明の第 3 の実施形態である半導体装置における主要部分の断面構造を示す図である。

【 0 0 7 2 】

この第 3 の実施形態と第 2 の実施形態との主な違いは、第 3 の実施形態においては、ゲート電極膜が第一ゲート電極膜 8 a、9 a と第二ゲート電極膜 8 b、9 b からなる二層構造となっている点である。

【 0 0 7 3 】

第一ゲート電極膜 8 a、9 aの主構成材料としては、熱処理の際に第二ゲート絶縁膜 6 b、7 bに導電性元素が拡散して入りにくい材料として、酸化ルテニウムまたは酸化イリジウムが用いられる。

【 0 0 7 4 】

第二ゲート電極膜 8 b、9 bには、例えばルテニウム、イリジウム、白金、タンゲステン、モリブデンからなる群から選ばれる一種類を主構成材料とする膜を用いる。これによって、ゲート電極全体の電気抵抗を低減する効果が得られる。

【 0 0 7 5 】

以上のように、本発明の第 3 の実施形態によれば、第 1 の実施形態と同様な効果を得ることができる他、ゲート電極全体の電気抵抗を低減する効果が得られる。

【 0 0 7 6 】

図 1 2 は、本発明の第 4 の実施形態である半導体装置におけるメモリセルの断面構造を示す図である。この第 4 の実施形態と、上述した第 1、第 2、第 3 の実施形態との主な違いは、第 4 の実施形態においては、導電性のバリア膜 1 1 4、容量下部電極 1 1 5、高誘電率あるいは強誘電性を有する酸化物膜 1 1 6、容量上部電極 1 1 7 を積層した構造で構成されている情報蓄積用容量素子 1 0 3 を有する点である。

【 0 0 7 7 】

高誘電率あるいは強誘電性を有する酸化物膜 1 1 6 は、熱処理を受けないと良好な特性を発揮しないことが知られており、製造工程において約 6 0 0 ℃以上の熱処理、より好ましくは約 7 0 0 ℃以上の熱処理が必要となる。

【 0 0 7 8 】

この熱処理の際に、ゲート電極膜からゲート絶縁膜の中に元素が拡散して入り込みやすいので、高誘電率あるいは強誘電性を有する酸化物膜を用いた半導体メモリの場合には、より一層この拡散を抑制する必要性が高い。

【 0 0 7 9 】

本発明の第 4 の実施形態における半導体装置の主要な構成を以下に説明する。

本発明の第4の実施形態における半導体装置は、図12に示すように、シリコン基板101の主面のアクティブ領域に形成されたMOS (Metal Oxide Semiconductor) 型のトランジスタ102と、その上部に配置された情報蓄積用容量素子3とを備えている。

【0080】

絶縁膜112は、素子間分離のための膜である。メモリセルのMOSトランジスタ102は、ゲート電極膜105、ゲート絶縁膜106および拡散層107、108で構成されている。なお、104は素子分離膜である。ゲート絶縁膜106には、微細化・高機能化の要求を満たすために、主構成材料として酸化チタンが用いられる。

【0081】

このゲート絶縁膜106は、例えば化学気相蒸着法、スパッタ法等を用いて形成される。ゲート絶縁膜106は、例えば、上述した第2、第3の実施形態のように、二層以上の構造を持ってもよい。

【0082】

ゲート電極膜105の主構成材料としては、熱処理の際にゲート絶縁膜106に導電性元素が拡散して入りにくい材料として、酸化ルテニウムまたは酸化イリジウムが用いられる。このゲート電極105は、例えば、第3の実施形態のように、二層以上の構造を持ってもよい。

【0083】

このゲート電極膜105は、例えば化学気相蒸着法、スパッタ法等を用いて形成される。また、ゲート電極膜105の上部および側壁には、例えばシリコン酸化膜からなる絶縁膜109が形成されている。

【0084】

メモリセル選択用MOSトランジスタの一方の拡散層107には、プラグ110を介してビット線111が接続されている。MOSトランジスタの上部全面には、例えばBP SG [Boron-doped Phospho Silicate Glass] 膜やSOG (Spin On Glass) 膜、あるいは化学気相蒸着法やスパッタ法で形成したシリコン酸化膜や窒化膜等からなる絶縁膜112が形成されている。

【 0 0 8 5 】

MOSトランジスタを覆う絶縁膜 1 1 2 の上部には、情報蓄積用容量素子 1 0 3 が形成されている。この情報蓄積用容量素子 1 0 3 は、メモリセル選択用 MOSトランジスタの他方の拡散層 1 0 8 に、例えば多結晶シリコンからなるプラグ 1 1 3 を介して接続されている。

【 0 0 8 6 】

また、情報蓄積用容量素子 1 0 3 は、下層から順に、導電性のバリア膜 1 1 4 、容量下部電極 1 1 5、高誘電率あるいは強誘電性を有する酸化物膜 1 1 6、容量上部電極 1 1 7 を積層した構造で構成されている。そして、この情報蓄積用容量素子 1 0 3 は絶縁膜 1 1 8 で覆われている。

【 0 0 8 7 】

この第 4 の実施形態においても、第 1 の実施形態と同様な効果を得ることができる。

また、本発明の第 5 の実施形態としては、上述した第 4 の実施形態のようなメモリ L S I と、第 1、第 2、第 3 の実施形態のようなロジック L S I とを、同一基板上に搭載したシステム L S I がある。

【 0 0 8 8 】

この第 5 の実施形態においても、第 1 ～第 3 の実施形態と同様な効果を得ることができる。

【 0 0 8 9 】

また、本発明の半導体装置の製造方法の一実施形態としては、以下の方法がある。

つまり、一実施形態に係る半導体装置の製造方法の第 1 工程においては、半導体基板の一主面側に、酸化チタンを主構成材料とするゲート絶縁膜を形成する。

【 0 0 9 0 】

次に、第 2 工程においては、上記ゲート絶縁膜上に、ルテニウムまたはイリジウムを主構成材料とする導電性膜を成膜し、ゲート電極膜を形成する。

【 0 0 9 1 】

上記一実施形態における製造方法によれば、誘電特性を保ちつつ、物理的膜厚

を厚くし、リーク電流の発生が防止された半導体装置の製造方法を実現することができる。

【 0 0 9 2 】

また、本発明の半導体装置の製造方法の他の実施形態としては、以下の方法がある。

【 0 0 9 3 】

つまり、他の実施形態に係る半導体装置の製造方法の第 1 工程においては、半導体基板の一主面側に、酸化チタンを主構成材料とするゲート絶縁膜を形成する。

【 0 0 9 4 】

次に、第 2 工程においては、上記ゲート絶縁膜上に、ルテニウムまたはイリジウムを主構成材料とする導電性膜を成膜し、ゲート電極膜を形成する。

【 0 0 9 5 】

続いて、第 3 工程においては、第一容量電極を形成し、第 4 工程においては、上記第一容量電極に接する高誘電率または強誘電性を有する容量絶縁膜を形成する。そして、第 5 工程においては、上記容量絶縁膜に接する第二容量電極を形成する。

【 0 0 9 6 】

上記他の実施形態における製造方法によれば、一実施形態と同様に、誘電特性を保ちつつ、物理的膜厚を厚くし、リーク電流の発生が防止された半導体装置の製造方法を実現することができる。

【 0 0 9 7 】

【発明の効果】

本発明によれば、誘電特性を保ちつつ、物理的膜厚を厚くし、リーク電流の発生が防止された半導体装置及びその製造方法を実現することができる。

【 0 0 9 8 】

また、歩留りが高く、生産効率が向上された半導体装置及び製造方法を実現することができる。

【 0 0 9 9 】

また、電流のリークを起こしにくいゲート構造を有する半導体装置及びその製造方法を実現することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態である半導体装置の主要部の概略断面図である。

【図 2】

本発明の第 1 の実施形態において、厚さ 3 nm のゲート電極の元素が厚さ 3 nm のルチル構造の酸化チタン膜へ拡散する際の、300℃での拡散係数を示したグラフである。

【図 3】

本発明の第 1 の実施形態において、厚さ 3 nm のゲート電極の元素が厚さ 3 nm のルチル構造の酸化チタン膜へ拡散する際の、600℃での拡散係数を示したグラフである。

【図 4】

本発明の第 1 の実施形態において、厚さ 3 nm のゲート電極の元素が厚さ 3 nm のアナターゼ構造の酸化チタン膜へ拡散する際の、300℃での拡散係数を示したグラフである。

【図 5】

本発明の第 1 の実施形態において、厚さ 3 nm のゲート電極の元素が厚さ 3 nm のアナターゼ構造の酸化チタン膜へ拡散する際の、600℃での拡散係数を示したグラフである。

【図 6】

本発明の第 1 の実施形態において、厚さ 0.9 nm のゲート電極の元素が厚さ 0.9 nm のルチル構造の酸化チタン膜へ拡散する際の、300℃での拡散係数を示したグラフである。

【図 7】

本発明の第 1 の実施形態において、厚さ 0.9 nm のゲート電極の元素が厚さ 0.9 nm のアナターゼ構造の酸化チタン膜へ拡散する際の、300℃での拡散係数を示したグラフである。

【図 8】

本発明の第 1 の実施形態において、厚さ 0.8 nm のゲート電極の元素が厚さ 0.9 nm のルチル構造の酸化チタン膜へ拡散する際の、300℃での拡散係数を示した図である。

【図 9】

本発明の第 1 の実施形態において、厚さ 0.9 nm のゲート電極の元素が厚さ 0.8 nm のルチル構造の酸化チタン膜へ拡散する際の、300℃での拡散係数を示したグラフである。

【図 10】

本発明の第 2 の実施形態である半導体装置の主要部の概略断面図である。

【図 11】

本発明の第 3 の実施形態である半導体装置の主要部の概略断面図である。

【図 12】

本発明の第 4 の実施形態である半導体装置の主要部の概略断面図である。

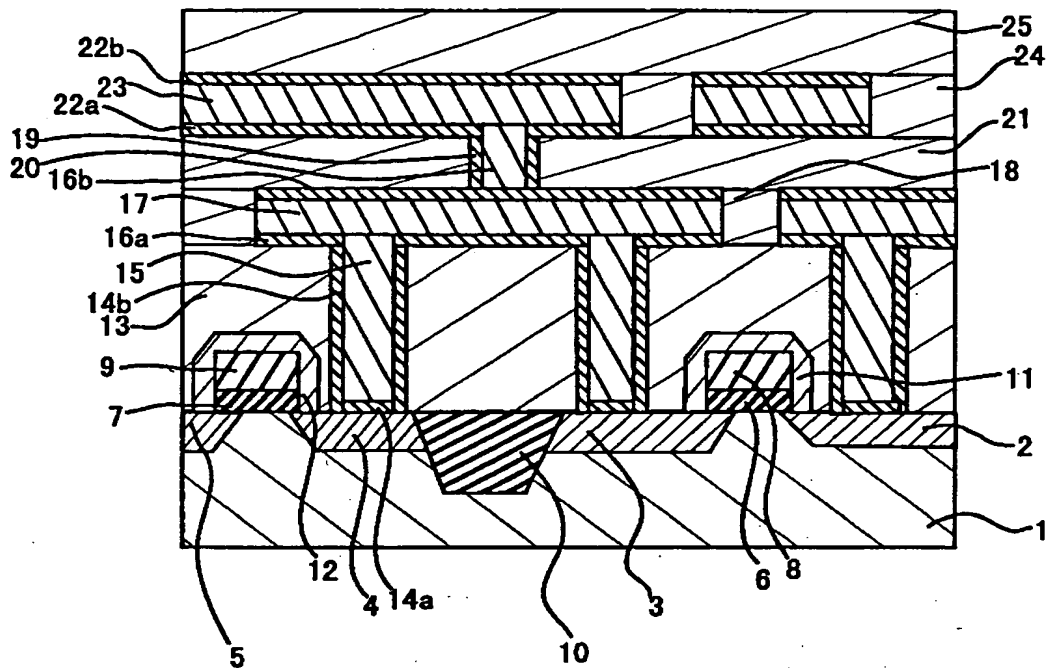
【符号の説明】

1	シリコン基板
2、3、4、5	拡散層
6、6a、6b	ゲート絶縁膜
7、7a、7b	ゲート絶縁膜
8、8a、8b	ゲート電極
9、9a、9b	ゲート電極
10	素子分離膜
11、12、13	絶縁膜
18、21	絶縁膜
24、25	絶縁膜
14a、14b	隣接導電体膜
16a、16b	隣接導電体膜
19、22a、22b	隣接導電体膜
15、17、20、23	主導電体膜

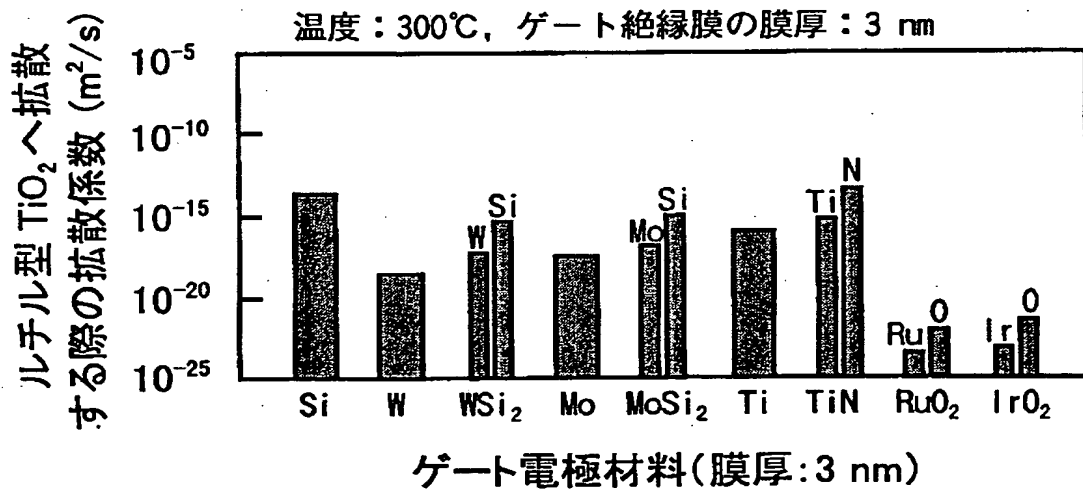
101	シリコン基板
102	トランジスタ
103	情報蓄積用容量素子
104	素子分離膜
105	ゲート電極膜
106	ゲート絶縁膜
107、108	拡散層
109	絶縁膜
110	プラグ
111	ビット線
112	絶縁膜
113	プラグ
114	導電性バリア膜
115	容量下部電極
116	酸化膜
117	容量上部電極
118	絶縁膜

【書類名】 図面

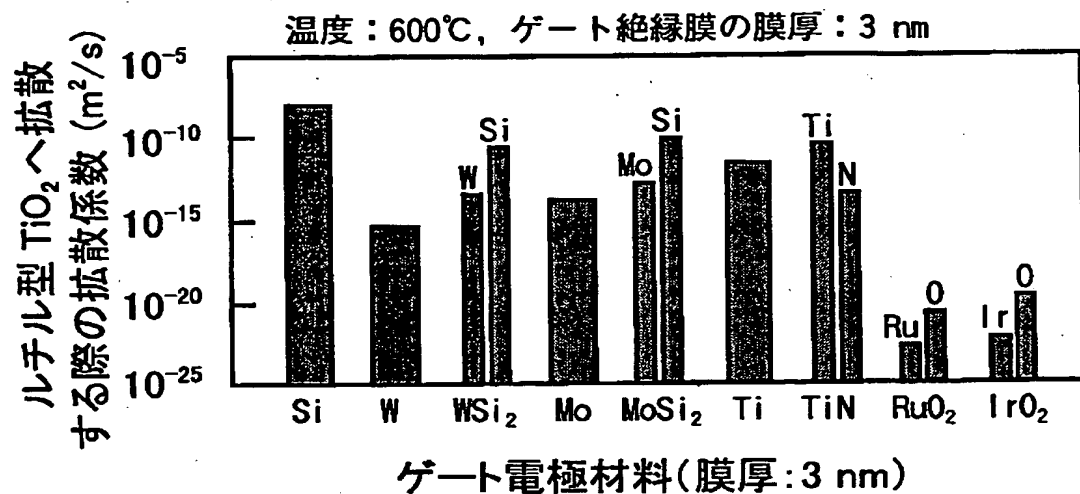
【図 1】



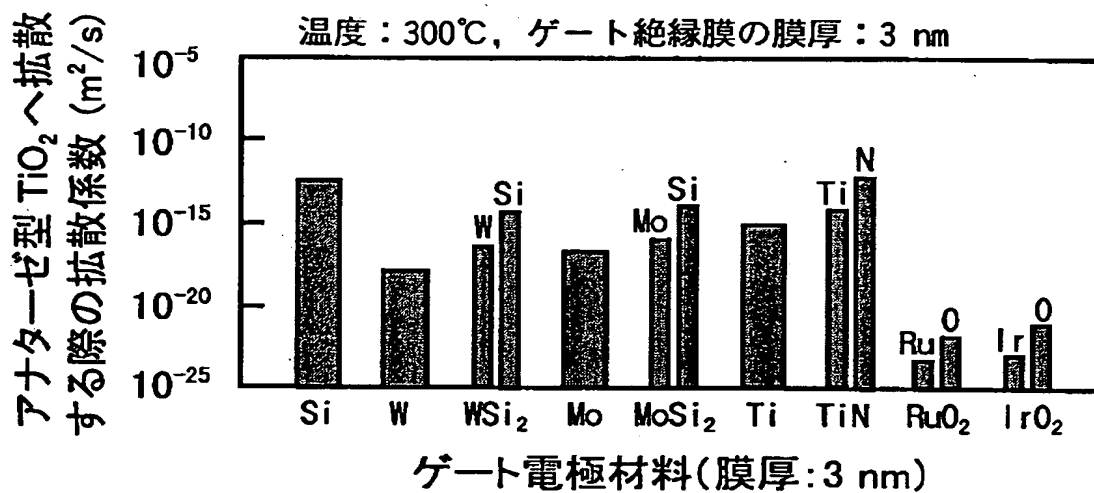
【図 2】



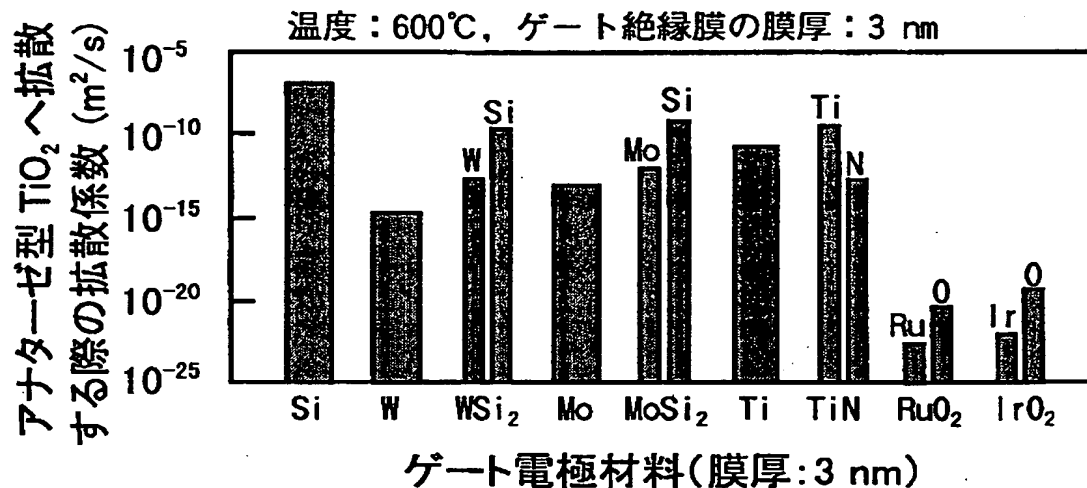
【図 3】



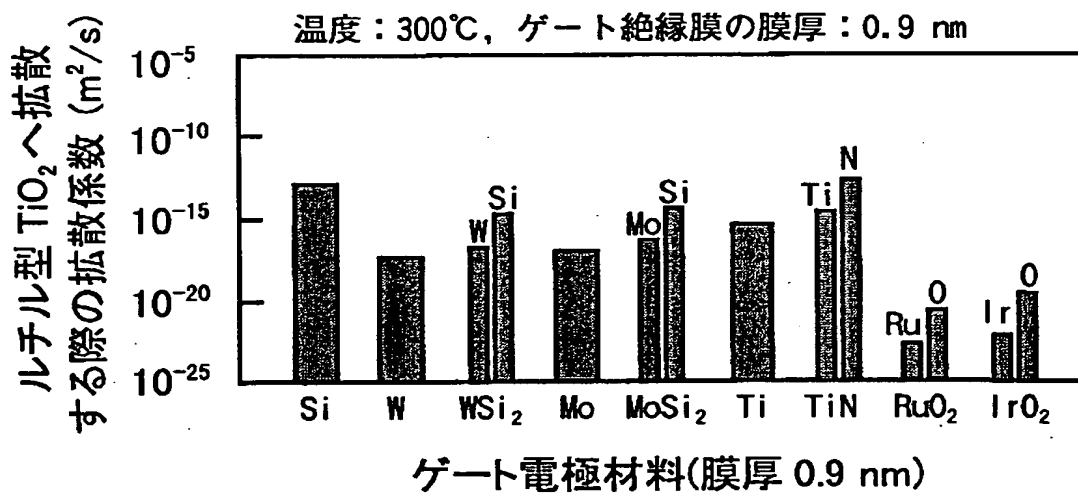
【図 4】



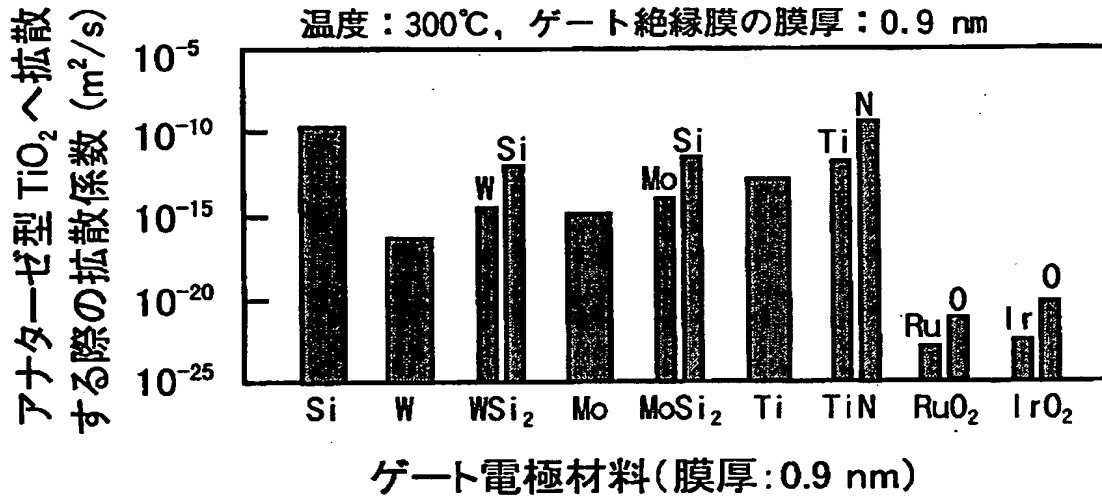
【図 5】



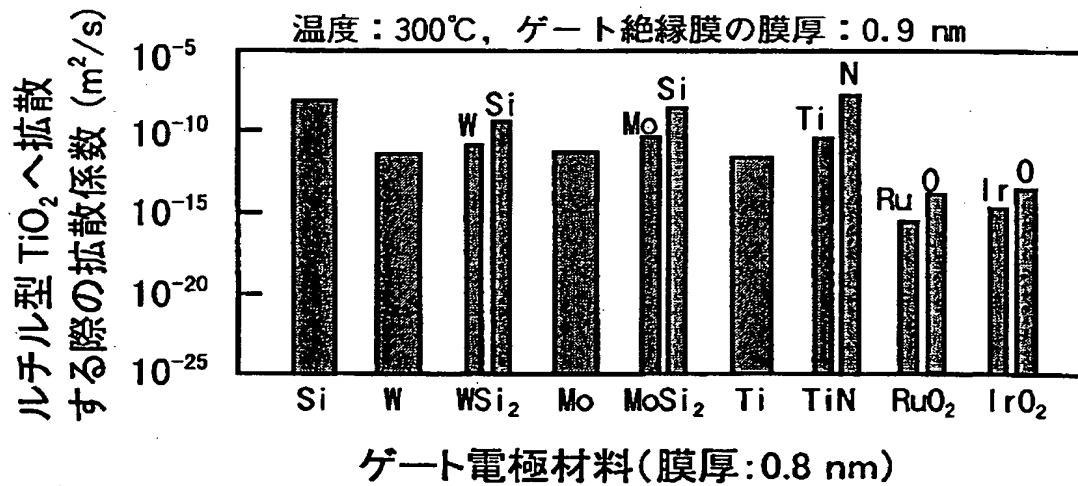
【図 6】



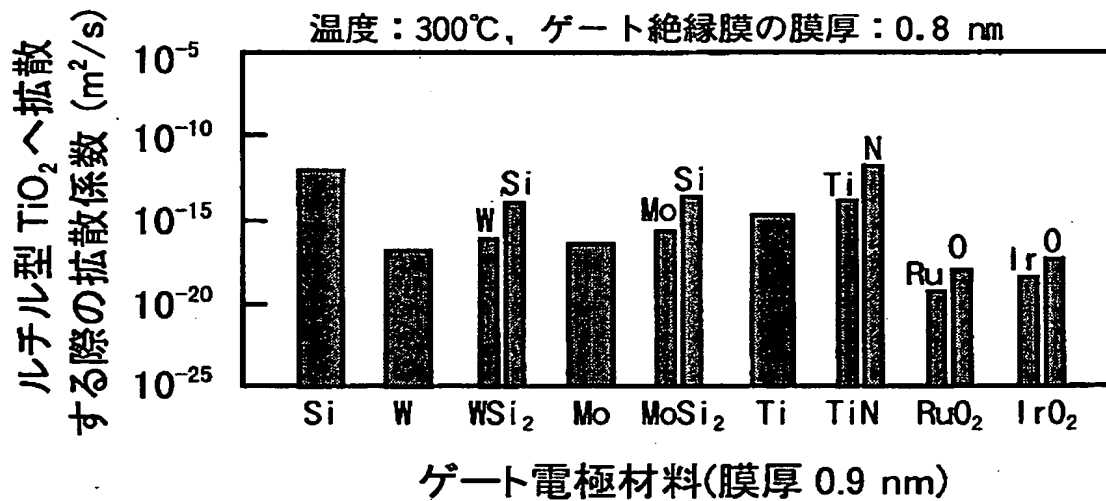
【図 7】



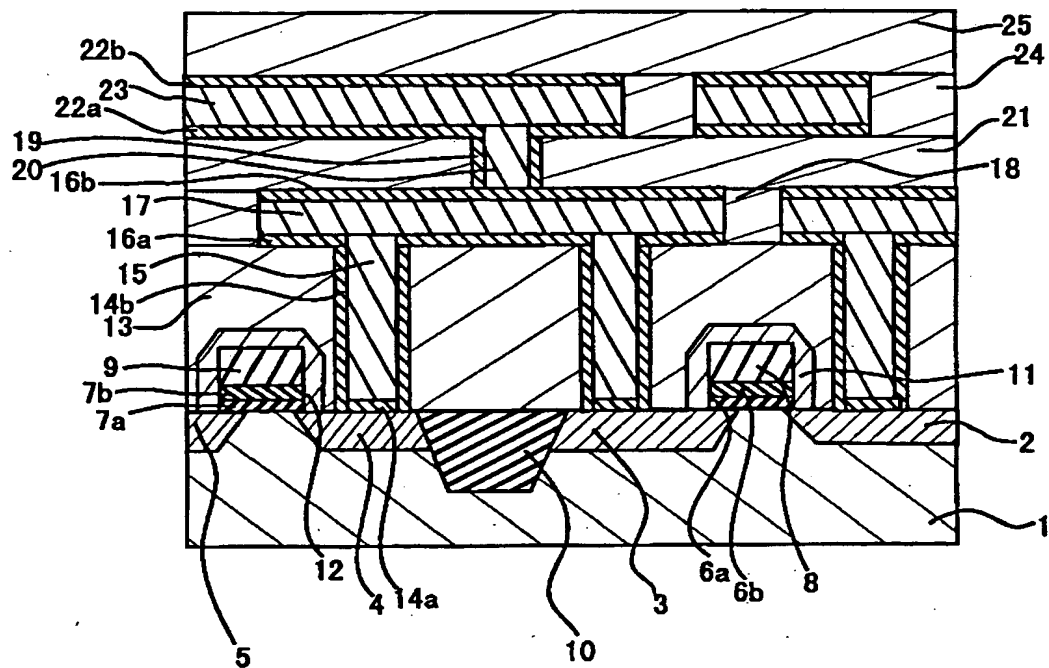
【図 8】



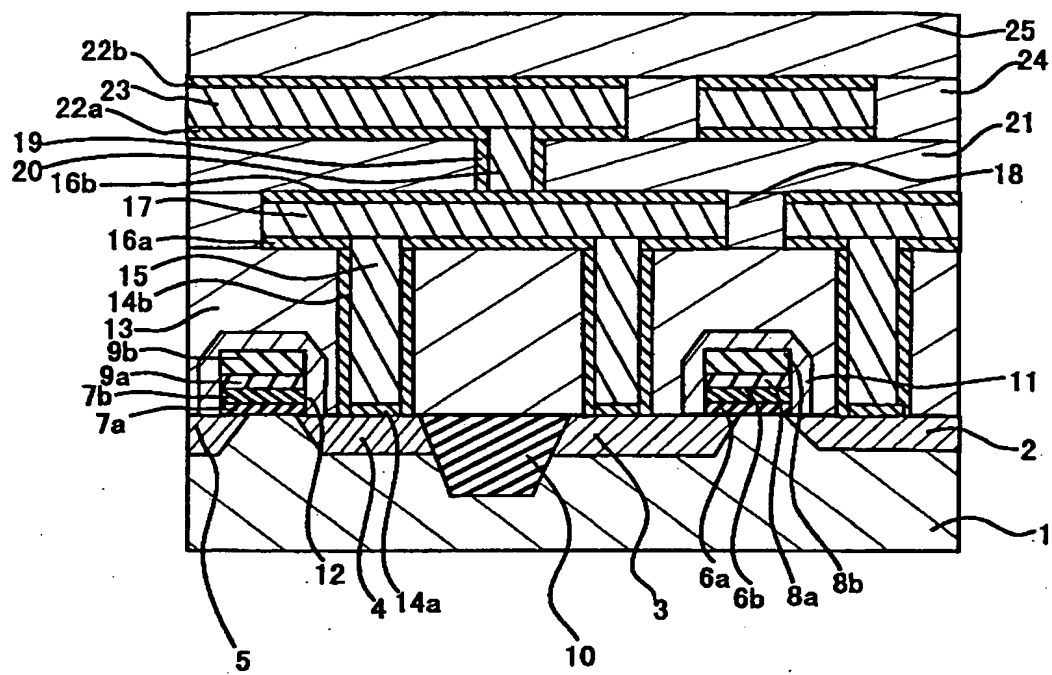
【図9】



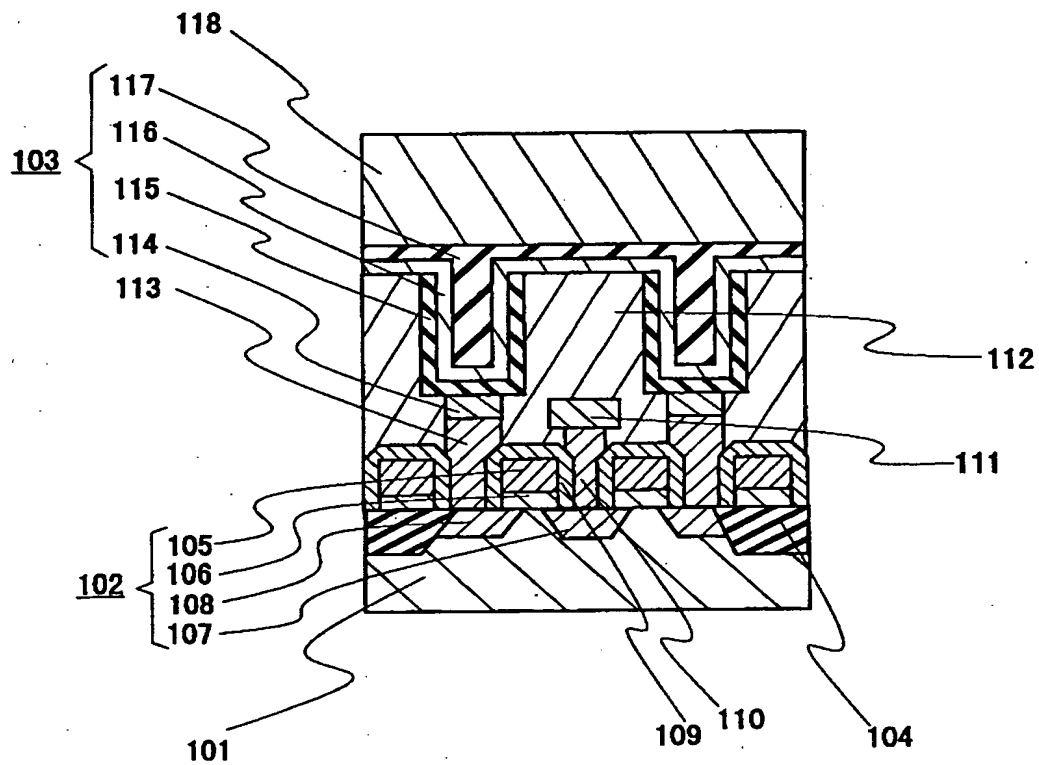
【図10】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 誘電特性を保ちつつ、物理的膜厚を厚くし、リーク電流の発生が防止された半導体装置を実現する。

【解決手段】 シリコン基板 1 の一主面側に、酸化チタンを主構成材料とするゲート絶縁膜 6、7 が形成されている。また、これらゲート絶縁膜 6、7 に接触してゲート電極膜 8、9 とが形成されている。これらゲート電極膜 8、9 の主構成材料を酸化ルテニウムまたは酸化イリジウムとする。ゲート絶縁膜 6、7 である酸化チタンにゲート電極膜 8、9 から導電性元素が拡散して入り込まないようにするためには、酸化チタンに接触するゲート電極膜 8、9 の主材料として酸化ルテニウムまたは酸化イリジウムを用いることが有効である。これによって、誘電特性を保ちつつ、物理的膜厚を厚くし、リーク電流の発生が防止された半導体装置を実現することができる。

【選択図】 図 1

特2001-008301

認定・付加情報

特許出願の番号	特願2001-008301
受付番号	50100053583
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 1月17日

<認定情報・付加情報>

【提出日】	平成13年 1月16日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所